

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-111535
(43)Date of publication of application : 30. 04. 1996

(51)Int. Cl. H01L 29/84
G01P 15/08
G01P 15/12

(21)Application number : 07-092740 (71)Applicant : NIPPONDENSO CO LTD
(22)Date of filing : 18. 04. 1995 (72)Inventor : OTSUKA YOSHINORI
TAKEUCHI YUKIHIRO
HATTORI TADASHI

(30)Priority

Priority	06194395	Priority	18. 08. 1994	Priority	JP
number :		date :		country :	

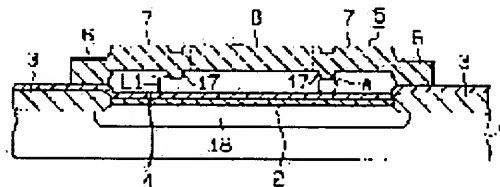
(54) SEMICONDUCTOR DYNAMIC QUANTITY SENSOR AND MANUFACTURE THEREOF

(57)Abstract:

PURPOSE: To provide a metal insulator semiconductor FET type dynamic quantity sensor which enables avoidance of property deterioration, and manufacture thereof.

CONSTITUTION: Silicon oxide films 2, 3 and a silicon nitride film 4 are formed on the upper side of a P-type silicon substrate 1. A movable portion 5 made of a thin film is located above the silicon nitride film 4 at a predetermined distance. The movable portion 5 has a movable gate electrode portion at a part thereof, and is displaced by acceleration. A fixed electrode (source and drain regions) made of an impurity diffusion layer is formed on the P-type silicon substrate 1. A

current flowing through the fixed electrode is changed by a change in the position thereof relative to the movable gate electrode due to acceleration. On the lower side of the movable portion 5 other than the movable gate electrode portion, a movable range limiting projection 17 is provided, thus defining a distance smaller than the distance between the P-type silicon substrate 1 and the movable gate electrode portion.



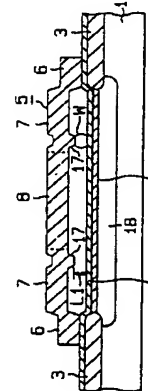
P-2098

(51) Int. Cl.	識別記号	内蔵型番号	P I	技術表示箇所
H01L 29/84	C			
G01P 15/08	Z			
		15/12		
審査請求 未請求 請求項の数10 O L (金 11 頁)				
(21) 出願番号	特願平7-92740	(71) 出願人	000004260	
(22) 出願日	平成7年(1995)4月18日		日本電装株式会社	
(31) 優先権主張番号	特願平6-194395	(72) 発明者	大塚 義則	
(32) 優先日	平6(1994)8月18日		愛知県刈谷市昭和町1丁目1番地	
(33) 優先権主張国	日本 (J P)		株式会社内	
		(72) 発明者	竹内 幸希	
			愛知県刈谷市昭和町1丁目1番地	
		(72) 発明者	株式会社内	
			愛知県刈谷市昭和町1丁目1番地	
		(72) 発明者	株式会社内	
			愛知県刈谷市昭和町1丁目1番地	
		(74) 代理人	伊藤士 廣田 博宣	

(54) 【発明の名称】 半導体力容量センサ及びその製造方法

(57) 【要約】

【目的】 特性劣化を回避できるMISFET型力容量センサ及びその製造方法を提供することにある。
【構成】 P型シリコン基板1の上面にはシリコン酸化膜2、3、シリコン酸化膜4が形成され、シリコン酸化膜4の上面に所定の間隔を隔てて導膜よりなる可動部5が配置され、可動部5の一部に可動ゲート電極部を有し、加速度的により変位する、P型シリコン基板1には不純物並放層よりなる固定電極(ソース・ドレイン部)が形成され、加速度的により変位する、可動ゲート電極部5の下面には、可動範囲制限用突起17が設けられ、P型シリコン基板1と可動ゲート電極部との間の間隔よりも狭い間隔を形成している。



【特許請求の範囲】

- 【請求項1】 半導体基板と、前記半導体基板の上方に所定の間隔を隔てて配置され、その一部に可動ゲート電極部を有し、力容量の作用に伴って変位する梁構造の可動部と、前記半導体基板に不純物並放層を形成することで構成され、前記力容量の作用による前記可動ゲート電極部との相対的位置の変化により、流れる電流が変化するソース・ドレイン部と、前記半導体基板と前記可動部との間に設けられ、前記半導体基板と前記可動ゲート電極部との間の間隔よりも狭い間隔を形成するための可動範囲制限部とを備えたことを特徴とする半導体力容量センサ。
- 【請求項2】 請求項1に記載の半導体力容量センサにおいて、前記可動部は導膜よりなる半導体力容量センサ。
- 【請求項3】 請求項1に記載の半導体力容量センサにおいて、前記可動範囲制限部は、前記可動ゲート電極部以外の前記可動部の下面に設けた突起にて構成したものである半導体力容量センサ。
- 【請求項4】 請求項1に記載の半導体力容量センサにおいて、前記可動範囲制限部は、前記半導体基板の上面に設けた突起にて構成したものである半導体力容量センサ。
- 【請求項5】 請求項1に記載の半導体力容量センサにおいて、前記梁構造の可動部は重り部を有し、前記可動範囲制限部は、前記可動部の梁部における前記重り部に近接する位置に設けたものである半導体力容量センサ。
- 【請求項6】 請求項3に記載の半導体力容量センサにおいて、前記可動部は導膜よりなり、前記突起は、前記可動部を構成する導膜の厚さを部分的に厚くすることにより形成したものである半導体力容量センサ。
- 【請求項7】 請求項3に記載の半導体力容量センサにおいて、前記可動部は導膜よりなり、前記突起は、前記可動部を構成する導膜の厚さを部分的に厚くすることにより形成したものである半導体力容量センサ。
- 【請求項8】 半導体基板と、前記半導体基板の上方に所定の間隔を隔てて配置され、その一部に可動ゲート電極部を有し、力容量の作用に伴って変位する薄膜よりなる梁構造の可動部と、前記半導体基板に不純物並放層を形成することで構成され、前記力容量の作用による前記可動ゲート電極部との相対的位置の変化により、流れる電流が変化するソース・ドレイン部とを備えた半導体力容量センサの製造方法であって、半導体基板の主表面に厚さが均一なる犠牲層を形成する第1工程と、前記犠牲層の一部である可動範囲制限用突起の形成箇所を薄くする第2工程と、前記犠牲層の上に、導膜よりなる可動部形成膜を形成す

る第3工程と、

- 前記可動部形成膜の下の前記犠牲層をエッチング除去して、可動ゲート電極部以外の可動部の下面に、半導体基板と可動ゲート電極部との間の間隔よりも狭い間隔を形成するための可動範囲制限用突起を形成する第4工程とを備えたことを特徴とする半導体力容量センサの製造方法。
- 【請求項9】 請求項8に記載の半導体力容量センサの製造方法において、第2工程は、犠牲層の上にレジストを形成し、露光機の使用度以下の微細パターンを有するフォトリソグを用いて露光し現像することによってレジストの一部を薄くし、前記犠牲層の一部をエッチング除去することによって前記犠牲層の一部を薄くした半導体力容量センサの製造方法。
- 【請求項10】 請求項9に記載の半導体力容量センサの製造方法において、前記フォトリソグは前記微細パターンを有するとともに可動部のアンカー部形成箇所レジストを開口するパターンを有するものである半導体力容量センサの製造方法。
- 【発明の詳細な説明】
- 【0001】
- 【産業上の利用分野】 本発明は、加速度、ヨーレイト、振動等の力容量を検出するための半導体力容量センサに係り、詳しくは、MISFET (Metal-Insulator-Semiconductor Field Effect Transistor) 型の半導体力容量センサとその製造方法に関するものである。
- 【0002】
- 【従来の技術】 従来から自動車制御技術の一環として、加速度、ヨーレイト、振動等の力容量を検出して各種制御に反映させることが行われている。そして、例えば、自動車用の加速度センサにおいて低加速度レベル、低周波数レベルを精度よく検出でき、安価で大量生産に向いている方式として半導体加速度センサが有望視されている。その中でも特に小型化が可能なものとして、後者のMISFET型加速度センサが有望視されている。図19、20は特開平4-25764号公報に示されたMISFET型加速度センサを示す図である。これは、加速度検出基板31に梁状部を介して保持されたゲート電極32が加速度的により上下運動すると、P型半導体基板33内に形成されるチャネル領域のキャリア密度が変化する。図中、34はカンチレバー、35はソース電極、36はドレイン電極、37は溝、38、39、40は配

前記半導体基板の上方に所定の間隔を隔てて配置され、

その一部に可動ゲート電極部を有し、力量量を用いて伴

って変位する薄膜よりなる梁構造の可動部と、前記半導

体基板に不純物並微層を形成することで構成され、前記

力量量を用いての可動部と可動ゲート電極部との相対位

置の変化により、流れる電流が変化するソース・ドレイン

部とを備えた半導体力量量センサの製造方法であつて、

半導体基板の主表面上に厚さが均一なる犠牲層を形成

する第1工程と、前記犠牲層の一部である可動範囲制限

用突起の形成箇所を導く第2工程と、前記犠牲層の

上に、薄膜よりなる可動部形成膜を形成する第3工程

と、前記可動部形成膜の下の前記犠牲層をエッチング除

去して、可動ゲート電極部以外の可動部の下面に、半導

体基板と可動ゲート電極部との間の間隔よりも狭い間隔

を形成するための可動範囲制限用突起を形成する第4工

程とを備えた半導体力量量センサの製造方法をその要旨

とする。

【0012】請求項9に記載の発明は、請求項8に記載

の半導体力量量センサの製造方法において、第2工程

を、犠牲層の上にレジストを形成し、露光機の後像を以

下の微細パターンを有するフォトリソグラフィを用いて露光し

現象することによってレジストの一部を導くし、前記犠牲層の

一部をエッチング除去することによって前記犠牲層の一部を導

くした半導体力量量センサの製造方法をその要旨とす

る。

【0013】請求項10に記載の発明は、請求項9に記

載の半導体力量量センサの製造方法において、前記フォ

トマスクは前記微細パターンを有する可動部の

アンカー部形成箇所のレジストを開孔するパターンを有

するものである半導体力量量センサの製造方法をその要

旨とする。

【0014】

【作用】請求項1、2に記載の発明によれば、力量量が

作用すると、ソース・ドレイン部と可動ゲート電極部と

の相対的位置が変化し、この位置変化によりソース・ド

レイン部に流れる電流が変化して力量量が検出される。

このとき、可動範囲制限部においては、半導体基板と可

動ゲート電極部との間の間隔よりも狭い間隔となつてい

る。よって、過大な力量量により可動部が半導体基板に

接近する方向に変位すると、可動ゲート電極部が半導体

基板に接触する前に可動範囲制限部が接触し可動ゲート

電極部のそれ以上の半導体基板への接近が阻止される。

このようにして、可動ゲート電極部と半導体基板との接

触が回避され、MISFET型トランジスタ特性が変化

することはない。

【0015】請求項3に記載の発明によれば、請求項1

に記載の発明の作用に加え、可動ゲート電極部以外の可

動部の下面に設けた突起により可動範囲制限部が構成さ

れる。

【0016】請求項4に記載の発明によれば、請求項1

線、41はパッケージである。

【0003】

【発明が解決しようとする課題】しかし、図19、20

に示された従来のMISFET型加速度センサはゲート

電極32と接し、MISFETのゲート電極32がトラン

ジスタ特性を決定する基板33のチャネル領域に接機

し、MISFETの電圧-電流特性を劣化させ、検出誤

差や経時変化を引き起こすという問題がある。

【0004】そこで、この発明の目的は、特性劣化を回

避できるMISFET型力量量センサ及びその製造方法

を提供することにある。

【0005】

【課題を解決するための手段】請求項1に記載の発明

は、半導体基板と、前記半導体基板の上方に所定の間隔

を隔てて配置され、その一部に可動ゲート電極部を有

し、力量量の作用に伴って変位する梁構造の可動部と、

前記半導体基板に不純物並微層を形成することで構成さ

れ、前記力量量の作用による前記可動ゲート電極部との

相対的位置の変化により、流れる電流が変化するソース

・ドレイン部と、前記半導体基板と前記可動部との間に

設けられ、前記半導体基板と前記可動ゲート電極部との

間隔よりも狭い間隔を形成するための可動範囲制限

部とを備えた半導体力量量センサをその要旨とする。

【0006】請求項2に記載の発明は、請求項1に記載

の半導体力量量センサにおいて、前記可動部は薄膜より

なる半導体力量量センサをその要旨とする。請求項3に

記載の発明は、請求項1に記載の半導体力量量センサに

おいて、前記可動範囲制限部は、前記可動ゲート電極部

以外の前記可動部の下面に設けた突起により構成した半導

体力量量センサをその要旨とする。

【0007】請求項4に記載の発明は、請求項1に記載

の半導体力量量センサにおいて、前記可動範囲制限部

は、前記半導体基板の上面に設けた突起にて構成した半

導体力量量センサをその要旨とする。

【0008】請求項5に記載の発明は、請求項1に記載

の半導体力量量センサにおいて、前記梁構造の可動部は

重り部を有し、前記可動範囲制限部は、前記可動部の梁

部における前記重り部に近接する位置に設けた半導体力

量量センサをその要旨とする。

【0009】請求項6に記載の発明は、請求項3に記載

の半導体力量量センサにおいて、前記可動部は薄膜より

なり、前記突起は、前記可動部を構成する薄膜を下方に

させて形成した半導体力量量センサをその要旨とする。

【0010】請求項7に記載の発明は、請求項3に記載

の半導体力量量センサにおいて、前記可動部は薄膜より

なり、前記突起は、前記可動部を構成する薄膜の厚さを

部分的に厚くすることにより形成した半導体力量量セン

サをその要旨とする。

【0011】請求項8に記載の発明は、半導体基板と、

に記載の発明の作用に加え、半導体基板の上面に設けた

突起により可動範囲制限部が構成される。請求項5に記

載の発明によれば、請求項1に記載の発明の作用に加え

え、可動範囲制限部が、可動部の梁部における重り部に

近接する位置に設けられ、過大な力量量が作用し重り部

が変形しようとしても可動範囲制限部によりその変形が

防止される。

【0017】請求項6に記載の発明によれば、請求項3

に記載の発明の作用に加え、突起が可動部を構成する薄

膜を下方に変位させて形成される。請求項7に記載の発

明によれば、請求項3に記載の発明の作用に加え、突起

が可動部を構成する薄膜の厚さを厚くすることにより形

成される。この場合、過大な力量量が作用した際の断面

形状に優れる。

【0018】請求項8に記載の発明によれば、第1工程

により半導体基板の主表面上に厚さが均一なる犠牲層が形

成され、第2工程により犠牲層の一部である可動範囲制

限用突起の形成箇所が導くされる。そして、第3工程に

より犠牲層の上に、薄膜よりなる可動部形成膜が形成さ

れ、第4工程により可動部形成膜の下の犠牲層をエッチ

ング除去して、可動ゲート電極部以外の可動部の下面

に、半導体基板と可動ゲート電極部との間の間隔よりも

狭い間隔を形成するための可動範囲制限用突起が形成さ

れる。その結果、請求項1に記載の半導体力量量センサ

が製造される。

【0019】請求項9に記載の発明によれば、請求項8

に記載の発明の作用に加え、第2工程において、犠牲層

の上にレジストが形成され、露光機の後像を以て微細

パターンを有するフォトリソグラフィを用いて露光し現象

することによってレジストの一部が導くされ、前記犠牲層の一部

をエッチング除去することによって前記犠牲層の一部が導く

る。よって、フォトリソグラフィの増加工で可動範囲制限

突起を製作することができ、その結果、プロセスを増

やすことなく請求項1に記載の半導体力量量センサが製

造される。

【0020】請求項10に記載の発明によれば、請求項

9に記載の発明の作用に加え、1枚のフォトリソグラフィで可

動部を基板に固定するアンカー部および可動範囲制限用

突起を製作するため前記犠牲層の加工ができる。

【0021】

【実施例】以下、この発明を半導体加速度センサに具体

化した一実施例を図面に従って説明する。

【0022】図1は、本実施例の半導体加速度センサの

平面図を示す。又、図2は図1のA-A断面を示し、

図3は図1のB-B断面を示し、図4には図1のC-C

断面を示す。本半導体加速度センサは表面マイクロマ

シニング技術を用いたものである。

【0023】P型シリコン基板1の上の一部には、ゲー

ト絶縁膜としてのシリコン酸化膜2が形成されている。

このシリコン酸化膜2は基体表面のリーク電流を低減す

るとともにトランジスタ特性の経時変化を抑制するため

のものである。又、同様、P型シリコン基板1の上の

一部には所定の厚みを有する絶縁分離用シリコン酸化膜

3（本実施例ではLOCOS酸化膜）が形成されてい

る。さらに、シリコン酸化膜2とシリコン酸化膜3の上

には、後述する犠牲層をエッチングする時のシリコン酸

化膜2の保護用として、シリコン窒化膜（絶縁膜）4が

形成されている。本実施例では、P型シリコン基板1と

シリコン酸化膜2とシリコン窒化膜3とシリコン窒化膜

4とから半導体基板が構成されている。

【0024】シリコン酸化膜3の形成領域におけるシリ

コン窒化膜4上には4つのアンカー部6が配置され、シ

リコン酸化膜2の形成領域の上方においてアンカー部6

を基端とする可動部5が架設されている。可動部5は4

本の梁部7と重り部8と可動ゲート電極部9、10とを

らなり、梁構造をなしている。より詳しくは、アンカー

部6から橋状の梁部7が延び、四角形状の重り部8が支

持されている。又、重り部8には長方形の可動ゲート

電極部9、10が相反する方向に架設されている。可動

部5とアンカー部6とは、厚さが2 μ m程度のポリシリ

コン薄膜よりなる。又、可動部5（梁部7、重り部8、

可動ゲート電極部9、10）は、シリコン基板1（シリ

コン酸化膜4）の上方に所定の間隔を隔てて配置され

ている。このように、可動ゲート電極部9、10は両持ち

梁状部（梁部7）によって支えられ、シリコン基板1の

表面に垂直な方向と平行な方向とに変位できるように

なっている。

【0025】又、重り部8は矩形の開孔部11が明けら

れており、後述する犠牲層エッチングの際のエッチング

液が浸透しやすくなっている。図4に示すように、可動

部5の可動ゲート電極部10の下方でのシリコン基板1

には、可動ゲート電極部10に対しその両側にN型不純

物並微層よりなるソース・ドレイン部としての固定電極

12、13が形成されている。同様、図1に示すよう

に、可動部5の可動ゲート電極部9の下方でのシリコン

基板1には、可動電極部9に対しその両側にN型不純物

並微層よりなるソース・ドレイン部としての固定電極1

4、15が形成されている。図4に示すように、シリコ

ン基板1における固定電極12、13間にはチャネル領

域16が形成され、同チャネル領域16はシリコン基板

1と可動ゲート電極部10との間に電圧を印加すること

により生じたものである。そして、固定電極12、13

間に電圧を印加することによりこのチャネル領域16に

ドレイン電流が流れる。同様、シリコン基板1にお

ける固定電極14、15間にはチャネル領域（図示略）が

形成され、同チャネル領域はシリコン基板1と可動ゲー

ト電極部9との間に電圧を印加することにより生じたも

のである。そして、固定電極14、15間に電圧を印加

することによりこのチャネル領域にドレイン電流が流れ

る。

【0026】図2に示すように、可動部5の各梁部7における重り部8の近接位置には、シリコン基板11に向かって突出（変位）する可動範囲制限用突起（可動範囲制限部）17がそれぞれ形成されている。この可動範囲制限用突起17とシリコン基板11の上のシリコン酸化膜4とのギャップ（距離）L1は、図4に示すように、可動部5の可動ゲート電極部9、10とシリコン基板11の上のシリコン酸化膜4とのギャップ（距離）L2よりも小さくなっている。このように、可動範囲制限用突起17は、梁部7における重り部8に近接した位置と設けられるとともに、ポリシリコン薄膜よりなる可動部5を下方に変位させて形成している。

【0027】又、シリコン基板11の表面には、可動部5と対向した部分での固定電極12、13、14、15のない領域においてN型不純物並置層よりなる下部電極18が形成されている。この下部電極18は可動部5の電位と等電位に保たれており、シリコン基板11と可動部5との間で発生する静電引力を抑えるものである。

【0028】シリコン基板11における可動部5の位置領域の周辺には周辺回路（図示略）が形成されている。そして、周辺回路と可動部5（可動ゲート電極部9、10）とが電気的に接続されるとともに、周辺回路と固定電極12、13、14、15とが電気的に接続され、さらに、周辺回路と下部電極18とが電気的に接続されている。

【0029】次に、この半導体加速度センサの動作を説明する。可動部5とシリコン基板11との間、および固定電極12、13（14、15）間に電圧をかけること、チャネル領域16が形成され、固定電極12、13（14、15）間に電流が流れる。ここで、本半導体加速度センサが加速度を受けて、図1に示すX、Y方向（基板1の表面に平行な方向）に可動ゲート電極部9、10（可動部5）が変位した場合、固定電極間のチャネル領域の面積（トランジスタでいうチャネル幅）が変わることにより、固定電極12、13に流れる電流は増加し、固定電極14、15に流れる電流は減少する。一方、本半導体加速度センサが加速度を受けて、図4に示すZ方向（基板1の表面に垂直で、かつ、基板1から離開する方向）に可動ゲート電極部9、10が変位した場合には、電界強度の変化によってチャネル領域16のキャリア濃度が減少するため、前記【0030】のようにより、加速度による可動ゲート電極部9、10と固定電極12、13、および14、15との相対的位置の変化により固定電極12、13間と

固定電極14、15間に流れる電流が変化し、この電流変化の大きさ、位相により二次元の加速度が検出される。

【0031】又、半導体基板（P型シリコン基板1、シリコン酸化膜2、3、シリコン酸化膜4）と、可動ゲート電極部9、10以外の可動部5との間、つまり、梁部7の下面に可動範囲制限用突起17を設けて、シリコン酸化膜4と可動ゲート電極部9、10との間の間隔（L2）よりも狭い間隔（L1）とし、可動部5（可動ゲート電極部9、10）が基板11に接近する方向（図4にてZ-で示す）での移動範囲が制限される。よって、通常の加速度範囲であれば、正常に加速度センサとして作用するが、可動部5が基板11から離開する方向に過大な加速度が加わると、可動部5（可動ゲート電極部9、10）はその加速度により基板11に接近する方向に変形しようとする。この際に、可動ゲート電極部9、10がシリコン基板1（シリコン酸化膜4）に接触する前に、可動範囲制限用突起17がシリコン酸化膜4に接触し、可動ゲート電極部9、10のそれ以上のシリコン基板1側への接近が阻止される。即ち、その過大変形が抑えられ、このようにして、可動ゲート電極部9、10とシリコン基板1（シリコン酸化膜4）との接触が回避され、MISFETのトランジスタ特性が劣化しない。

【0032】このように本実施例では、可動ゲート電極部9、10以外の可動部5の下面に可動範囲制限用突起17を設け、シリコン酸化膜4と可動ゲート電極部9、10との間の間隔よりも狭い間隔を形成した。その結果、可動ゲート電極部9、10に過大な加速度が加わった場合にも、可動ゲート電極部9、10がシリコン基板1（シリコン酸化膜4）に接触する前に可動範囲制限用突起17が先に接触し、MISFET型トランジスタ特性が変化することなく、半導体加速度センサの検出感度や経時変化を小さくできる。

【0033】又、4本の梁部7のそれぞれに可動範囲制限用突起17を設けているので、可動部5（梁部7）に振れが生じていても各梁部7に設けた可動範囲制限用突起17により確実に可動ゲート電極部9、10がシリコン基板1（シリコン酸化膜4）に接触する前に可動範囲制限用突起17を接触させることができる。

【0034】さらに、可動部5の梁部7における重り部8に近接する位置に可動範囲制限用突起17を設けたので、過大な加速度が加わり重り部8が変形しようとしても可動範囲制限用突起17によりその変形を防止できる。

【0035】さらに、可動範囲制限用突起17は可動部5を構成する薄膜を下方に変位させて形成しているので、容易に突起17を形成することができる。次に、本実施例の半導体加速度センサの製造工程を、図1のA-A断面について、図5～図11および図2を用いて説明する。

【0036】図5に示すように、まずP型シリコン基板1を用い、その主表面の所定領域にシリコン酸化膜3（本実施例ではLOCOS酸化膜）を形成する。そして、P型シリコン基板1の上のシリコン酸化膜3以外の表面にシリコン酸化膜2を熱酸化により形成し、さらにその下に、N型不純物並置層よりなる下部電極18並びに図示しないMISFETのソース部（12）、（14）とドレイン部（13）、（15）を形成すべく、同時にイオン注入等により不純物を導入し、熱処理を行う。さらに、シリコン酸化膜2およびシリコン酸化膜3の上に全面にシリコン窒化膜4を成膜CVD等により形成する。

【0037】引き続き、図6に示すように、シリコン酸化膜4の上に犠牲層となるシリコン酸化膜19をプラズマCVD等により全面に形成する。このシリコン酸化膜19は厚さが均一である。

【0038】その後、図7に示すように、シリコン酸化膜19の上に、ボジ型レジスト20を全面にスピンコートにより塗布する。そして、図8に示すように、ボジ型レジスト20を図9、13に示すフォトリソ加工を用いて露光、現像し、ボジ型レジスト20をすべて除去する部分M1と、ボジ型レジスト20の厚み方向に一部を除去する部分（可動範囲制限用突起形成箇所）M2と、ボジ型レジスト20を全て残す部分M3を形成する。

【0039】この処理について詳細に説明する。図12は可動部5の形成領域に対して、ハッチングにて示した犠牲層をパターンニングするフォトリソ加工を示す。図13はこのフォトリソ加工における一部であるD部の拡大図である。ここで、ハッチングはクロム等で形成された遮光部分を示す。図13におけるE部のように、梁部7に相当する部分の一部（可動範囲制限用突起形成箇所）に、露光機の解像度以下の微細パターンとしての分布露光部22が形成されている。この分布露光部22は、光が透過する微小な矩形の多数の窓23が図14に示すような所定の密度で分布形成されている。この矩形の窓23の大きさは、このフォトリソ加工を使って露光する露光機の解像度以下の寸法である。例えば、使用する露光機が10対1の縮小露光機で、その解像度が1ミクロンであれば、1個の矩形の窓の大きさは10倍のレチクルサイズで1ミクロン以下が適当である。図14には、図13のフォトリソ加工のうちの、分布露光部22を、図15の微小な矩形の窓23のうちの、分布露光部22を拡大して示す。分布露光部22でない領域の光の透過率を対応して示す。分布露光部22でない領域K1、K3における光の透過率はゼロである。一方、分布露光部22である領域K2における光の透過率は、中央に行くほど大きくなるように、窓々の窓部23の密度（個数/単位面積）が変えられている。尚、分布露光部22である領域K2における光の透過率は、中央に行くほど大きくなっているが、中央部分においては光の透過

率が最大値で一定となる領域K2'を有している。【0040】以上、図12から図14で説明したフォトリソ加工21を使って、分布露光した後、現像すると、図8に示すように、完全に光が透過した部分M1は、完全に現像されるため、レジスト20が完全に除去される。又、完全に光が遮光された部分M3は、レジスト20が完全に残る。一方、部分的に光が透過した部分M2は、レジスト20の厚みが減少する。

【0041】次に、図9に示すように、現像されたレジスト20をフォトリソ加工として、犠牲層となるシリコン酸化膜19をウェットエッチングもしくはドライエッチングする。望ましくは、CF₄とO₂によるドライエッチングを行う。CF₄はシリコン酸化膜19をエッチングし、O₂はレジスト20をエッチングする。この時、CF₄によるシリコン酸化膜19のエッチングレートとO₂によるレジスト20のエッチングレートが等しくなるように、それぞれのガスの流量や圧力を設定すると、現像されたレジスト20の形状がそのまま犠牲層となるシリコン酸化膜19に転写される。即ち、犠牲層となるシリコン酸化膜19に、一部分その厚みが薄くなった部分19aと全く厚みが変化しない部分19bが形成される。この厚みが薄くなった部分19aが可動範囲制限用突起17の形成箇所である。又、シリコン酸化膜19が無くなった領域の一部がアンカー部6の形成箇所となる。即ち、フォトリソ加工21は微細パターンとしての分布露光部22を有するとともに可動部5のアンカー部6形成箇所のレジスト20を開孔するパターンを有する。

【0042】次に、図10に示すように、可動範囲制限用突起17の形成箇所である、減圧CVD等により成膜する。次に、図11に示すように、ポリシリコン薄膜24をパターンニングし、アンカー部6、開口部11、梁部7、重り部8、可動ゲート電極部9、10、可動範囲制限用突起17を一括形成する。

【0043】最後に、図12に示すように、シリコン酸化膜19（犠牲層）をエッチングすると、アンカー部6を除いて、梁部7、重り部8、可動ゲート電極部9、10、および可動範囲制限用突起17が、下地であるシリコン酸化膜4から露出され、可動構造が形成される。

【0044】このシリコン酸化膜19（犠牲層）のエッチング工程をより詳しく説明すると、基板をエッチング液の中に入れてシリコン酸化膜19（犠牲層）をエッチングし、その後、基板をエッチング液から取り出す。この状態では基板の表面にエッチング液が付着しているの状態で、基板を純水の中に入れてエッチング液と置換し、その後、基板を純水から取り出し、基板を乾燥させる。この基板の乾燥の際に、可動部（梁部7、重り部8、可動ゲート電極部9、10）と基板1との間に純水が存在し、乾燥の進行により純水が液滴状になり、液滴の表面張力により可動部（梁部7、重り部8、可動ゲート電極部9、10）が基板1の表面に引っ張られる形で固着して

可動構造が形成できない場合がある。これに対し、本実施例では可動範囲制限用突起17の存在により、上述の基板表面への可動部の固着を防ぐことができる。これ以後の理由によるものと推測される。即ち、可動範囲制限用突起17と基板1との間に前述の純水の液滴(図2においてWで示す)が形成され、かつ、この液滴は小さなものである。よって、可動部(梁部7、重り部8、可動ゲート電極部9、10)と基板1との間に働く液滴の表面張力が小さくなり、基板表面への可動部の固着を防ぐことができる。又、液滴の表面張力が小さくなることにより、可動部が基板表面に一時的に付いたとしても梁の弾性(復元力)にて可動部が基板表面から離れた元の状態に戻る。このように、容易にかつ確実に可動構造を形成できる。

【0045】このように、半導体基板(P型シリコン基板1、シリコン酸化膜2、3、シリコン窒化膜4)の主表面上に厚みが均一なるシリコン酸化膜19(犧牲層)を形成し(第1工程)、シリコン酸化膜19の一部である可動範囲制限用突起形成部を露くし(第2工程)、シリコン酸化膜19の上に、ポリシリコン薄膜24(薄膜リコン酸化膜19の上に、ポリシリコン薄膜24(薄膜リコン酸化膜24の下にシリコン酸化膜19をエッチング除去して、可動ゲート電極部9、10以外の可動部5の下に、シリコン窒化膜4と可動ゲート電極部9、10とを露くしてシリコン酸化膜19の一部を露くし、シリコン酸化膜19の一部を露くした。このようにして、シリコン酸化膜19の一部を露くすることにより、フォトマスクの増加なしで可動範囲制限用突起17を作製することができ、その結果、プロセスを増やすことなく図1に示す半導体加速センサを製造することができる。

【0046】以下に、本実施例の応用例を説明する。上記実施例では、4本の梁部7のそれぞれに可動範囲制限用突起17を形成したが、可動範囲制限用突起17の形状、構成位置、数等は任意に変更することができる。例えば、上記実施例では可動範囲制限用突起17を梁7に形成したが、重り部8に形成してもよい。この場合には、感度を高くすべく重り部8の面積を大きくした際に、加速度により重り部8の変形が生じるが四角形の重り部8の各隅部に可動範囲制限用突起17を設けると、重り部8の変形が防止できる。又、4本の梁部7のそれぞれに可動範囲制限用突起17を1つずつ設けたが、1本の梁部7に対し複数個設けてもよい。

【0047】又、上記実施例では可動部5は両持ち梁構造としたが、片持ち梁構造であってもよい。さらに、半

導体加速センサの他にも、半導体ヨーレイトセンサ、振動センサ等に具体化してもよい。

【0048】又、可動部5に可動範囲制限用突起17を設けるのではなく、図15に示すように、P型シリコン基板1(半導体基板)の上面に可動範囲制限部としての可動範囲制限用突起25を形成してもよい。図15においては、LOCOS酸化膜にて可動範囲制限用突起25を形成している。

【0049】さらに、可動部5に可動範囲制限用突起17を設けると共にP型シリコン基板1(半導体基板)の上面にも可動範囲制限用突起を設けてもよい。この場合、可動部5の下面に第1の突起を設けるとともにこの第1の突起と対向する基板の上面に第2の突起を形成してもよい。

【0050】又、図2に示したように可動範囲制限用突起17は前記実施例ではポリシリコン薄膜よりなり可動部5を下方に変位させることにより形成しており可動部5の厚厚と同じ厚厚であったが、図16に示すように、可動範囲制限部としての可動範囲制限用突起26は可動部5の厚厚を厚くすることにより形成してもよい。この場合、過大な加速度が加わった際の耐衝撃性に優れたものとなる。

【0051】さらに、図17、図18に示すように実施してもよい。図18は図17のG-G断面図である。各梁部7には2層ずつの可動範囲制限用突起17a~17hが層間して設置され、この各可動範囲制限用突起17a~17hの間隔は50μm以上となっている。さらに、重り部8においても四角形状の可動範囲制限用突起17i~17jが層間して設置され、この各可動範囲制限用突起17i~17jの間隔も50μm以上となっている。可動範囲制限用突起17a~17qの間隔を50μm以上としたのは、可動範囲制限用突起17a~17qと基板表面(下部電極18)との対向面積の総和をより小さくして、犠牲層エッチング工程での可動範囲制限用突起17a~17qと基板表面との間に形成される液滴(エッチング液の置換液)の表面張力の総和を小さくし、可動部が基板表面に引っ張られて固着するのを回避するためである。

【0052】さらに、図17、18において、図1の可動ゲート電極部9、10およびソース・ドレイン部としての固定電極12、13、14、15については、重り部8の中央に開口部(貫通孔)50が設けられ、X、Y方向に延びる片持ち梁状可動ゲート電極部51とX、Y方向に延びる片持ち梁状可動ゲート電極部52を形成している。つまり、開口部50により対向する一方の梁状可動ゲート電極部51、52が形成されている。又、図1のトランジスタの位置関係と同様に、片持ち梁状可動ゲート電極部51、52に相対する位置にソース・ドレイン部としての固定電極53、54、55、56が形成されて

いる。このように重り部8の中央部に一方の梁状可動ゲート電極部51、52を接近して配置することができ、その結果、図1に示す重り部8における周辺から可動ゲート電極部9、10を突設した場合に比べ、例えば、重り部8が反った場合にも可動ゲート電極部51、52を基板に接触しにくくして、又、基板の結晶構造が等しい部位(領域)に2つのトランジスタを近接して形成でき素子特性の均一化を図ることが可能となる。

【0053】

【発明の効果】以上詳述したように請求項1、2、3、4に記載の発明によれば、過大な力学量が発生した場合にもMISFET型トランジスタ特性の劣化を回避できる。請求項6に記載の発明によれば、請求項3に記載の発明の効果に加え、容易に突起を形成できる。

【0054】請求項5に記載の発明によれば、請求項1に記載の発明の効果に加え、重り部の変形が防止でき、請求項6に記載の発明によれば、請求項3に記載の発明の効果に加え、容易に突起を形成できる。

【0055】請求項7に記載の発明によれば、請求項3に記載の発明の効果に加え、耐衝撃性に優れたものにして、請求項8に記載の発明によれば、請求項1に記載の半導体力学量センサを容易に製造できる。

【0056】請求項9に記載の発明によれば、請求項8に記載の発明の効果に加え、プロセスを増やすことなく請求項10に記載の半導体力学量センサを製造できる。請求項10に記載の発明によれば、請求項9に記載の発明の効果に加え、プロセスを増やすことなく、可動部固定用のアンカー部を備えた半導体力学量センサを製造できる。

【図面の簡単な説明】

【図1】実施例の半導体加速センサの平面図。

【図2】図1のA-A断面図。

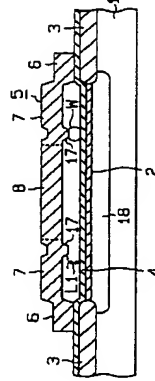
【図3】図1のB-B断面図。

【図4】図1のC-C断面図。

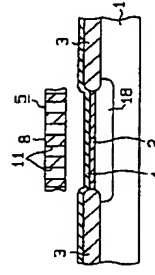
【図5】半導体加速センサの製造工程を示す断面図。

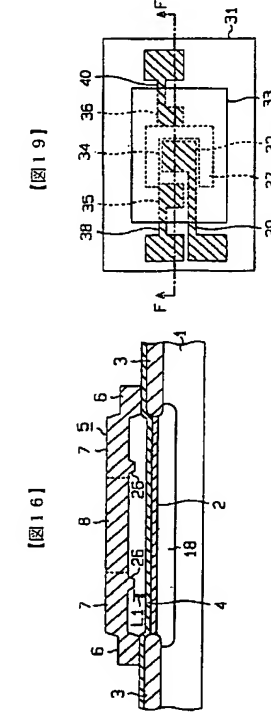
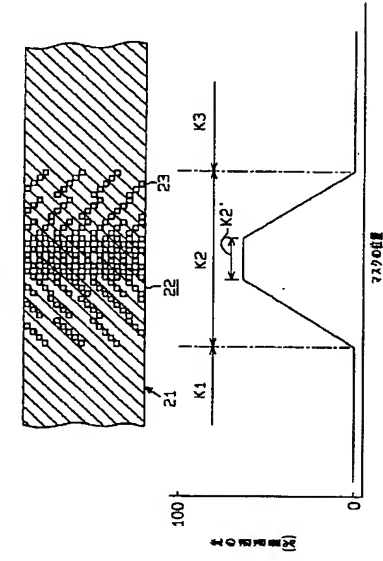
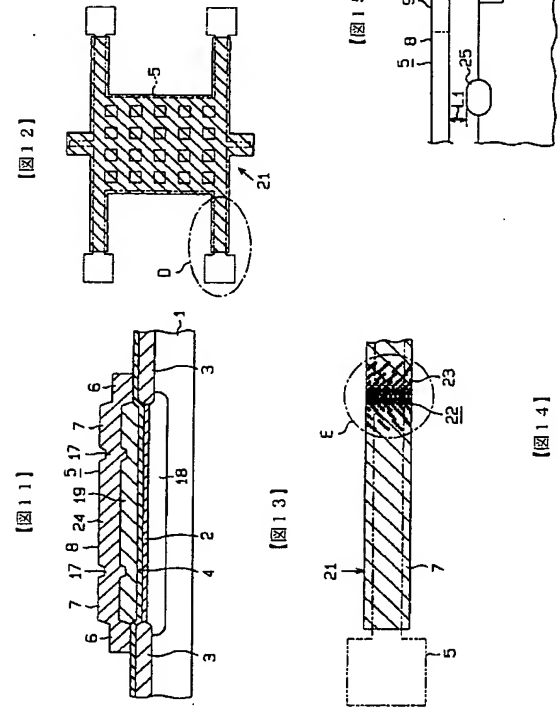
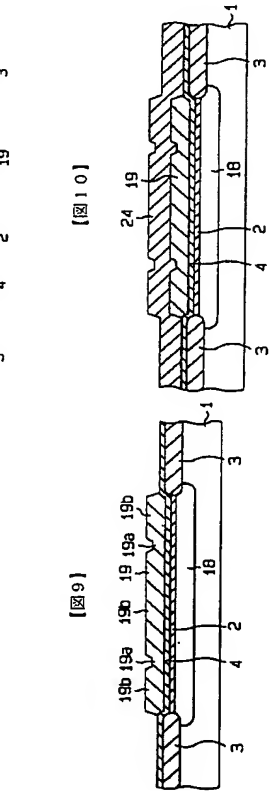
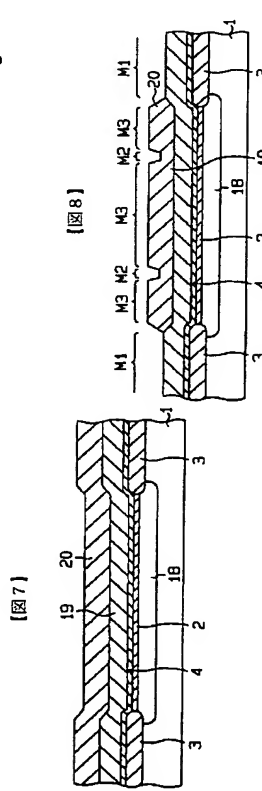
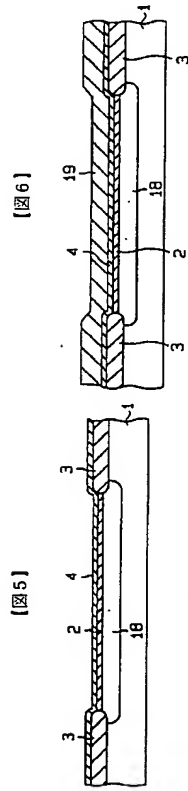
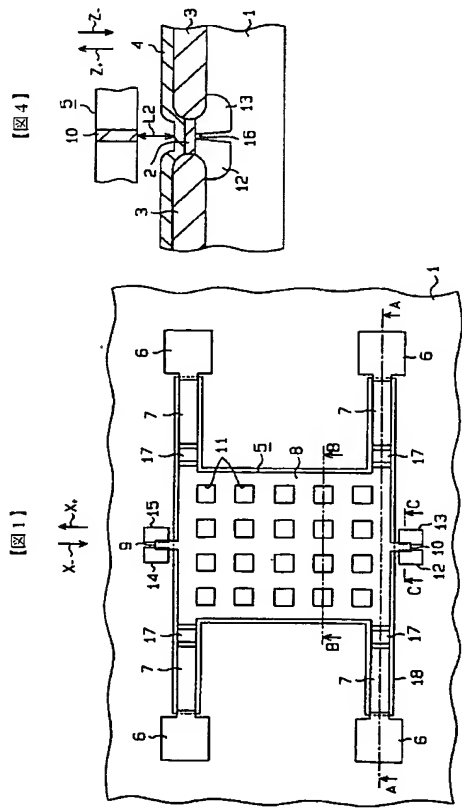
【図6】半導体加速センサの製造工程を示す断面図。

【図2】

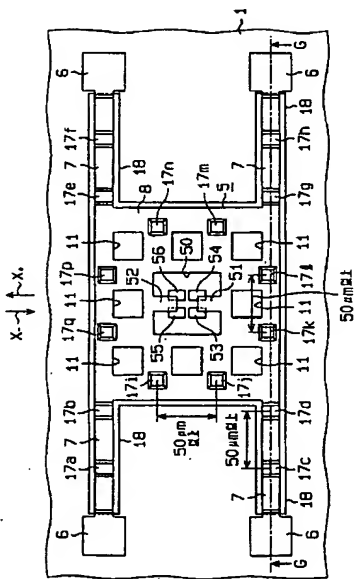


【図3】

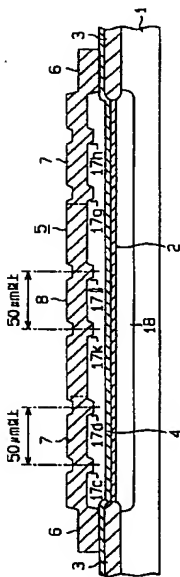




【図17】



【図18】



【図20】

